苏州大学实验报告

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 院、系 | 计算机学院 | | 年级专业 | | 21计算机科学与技术 | | 姓名 | 赵鹏 | 学号 | 2127405037 |
| 课程名称 | | 模拟与数字电路设计 | | | | | | | 成绩 |  |
| 指导教师 | | 屈蕴茜 | | 同组实验者 | | 无 | | 实验日期 | 2022.12.7 | |

|  |  |
| --- | --- |
| 实 验 名 称 | 计数器实验 |

1. 实验目的

1.能够使用Verilog HDL语言熟练设计各种进制的计数器(二进制、十进制等)。

2.理解多级计数器级联的原理并掌握其设计方法。

3.了解多位七段共阴极数码管动态显示原理。

4.学习计数、译码、显示电路的综合应用方法。

1. 实验设备

PC微机一台，TD-DS实验仪一台，下载电缆一根。

1. 实验内容

本实验使用Verilog HDL语言，在FPGA –EPM240T100C5中设计实现

1．实现一个六进制计数器；在7段LED灯上显示；

2．实现一个有异步清“0”功能的四位二/十进制计数器（按一下脉冲键计数一次）；

3．对计数脉冲进行计数，实现清零功能，带进位输出的N进制计数器；

4．对计数脉冲进行计数，实现清零功能（同步），带进位输出的N进制计算器；

进行仿真、引脚分配并下载到实验仪上进行功能验证。

1. 实验原理

计数器是对输入脉冲个数进行计数的电路。计数器的“模”（用M表示）是计数器累计输入脉冲的最大数目，也是电路的有效状态数。如M＝6的计数器，又称六进制计数器。计数器原理图如图3.6.1示。



图3.6.1

计数器按计数进制分为二进制计数器、十进制计数器、任意进制计数器。二进制计数器：按二进制数运算规律进行计数的电路称作二进制计数器；十进制计数器：按十进制数运算规律进行计数的电路称作十进制计数器；任意进制计数器：二进制计数器和十进制计数器之外的其它进制计数器统称为任意进制计数器。

计数器按计数增减分为加法计数器、减法计数器、加/减计数器。加法计数器：随着计数脉冲的输入作递增计数的电路称作加法计数器；减法计数器：随着计数脉冲的输入作递减计数的电路称作减法计数器；加/减计数器：在加/减控制信号作用下，可递增计数，也可递减计数的电路，称作加/减计数器，又称可逆计数器。也有特殊情况，不作加/减，其状态可在外触发控制下循环进行特殊跳转，状态转换图中构成封闭的计数环。

计数器按电路中各触发器翻转是否同步分为异步计数器、同步计数器。异步计数器：计数脉冲只加到部分触发器的时钟脉冲输入端上，而其它触发器的触发信号则由电路内部提供，各触发器状态更新有先有后的计数器，称作异步计数器；同步计数器：计数脉冲同时加到所有触发器的时钟信号输入端，各触发器同时翻转的计数器，称作同步计数器。

**异步二进制加法计数器**

必须满足二进制加法原则：逢二进一（1+1=10，即Q由1加1→0时有进位）；各触发器应满足两个条件：每当CP有效触发沿到来时，触发器翻转一次，即用T′触发器。控制触发器的CP端，只有当低位触发器Q由1→0（下降沿）时，应向高位CP端输出一个进位信号（有效触发沿），高位触发器翻转，计数加1。

1. 实验步骤与结果

1.在E：盘新建一个文件夹(文件夹名中不能有中文和空格)，从Windows的“开始”菜单运行或双击桌面上的QuartusII8.0进入QuartusⅡ集成环境。

2.建立工程文件。File🡪New Project Wizard，选定工程文件存放目录，输入工程名和顶层设计实体名，选择设计所用器件：“Family”选“MAXII”，“Device”选“All”，“Available Device ”项选中“EPM240T100C5”。

3.建立设计源文件，File🡪New 选Verilog HDL File，根据功能表设计并输入源程序代码，保存文件。

4.分析与综合。Processing🡪Start🡪Start Analysis&Synthesis。

5.仿真。新建波形文件（File🡪New选Vector Waveform File），添加结点（右击🡪Insert🡪Insert Node or Bus），设定时钟信号(右击🡪Value🡪Clock)，设定电平信号，保存波形文件，设置仿真模式（Assignment🡪Settings🡪Simulator Settings “Simulation mode”选“Functional”，“Simulation input”选刚才建立的波形文件），生成功能仿真网表（Processing🡪Generate Functional Simulation Netlist），启动功能仿真(Processing🡪Start Simulation)。仿真成功后，记录仿真结果。如果有问题，重新返回到QuartusⅡ环境中对源程序进行修改，纠正错误。

6.管脚分配(Assignments🡪Pins)，根据管脚分配表设定输入输出管脚以进行管脚分配，管脚分配后编译整个工程(Processing🡪Start Compilation)。

7.下载。将下载电缆线一端插到计算机USB接口，另一端接到实验仪接口；打开实验仪电源开关(在实验仪左侧)，左上角LED电源指示灯会亮，将编译好的设计熔丝图下载到芯片中(Tools🡪Programmer)。

8.实现(验证)

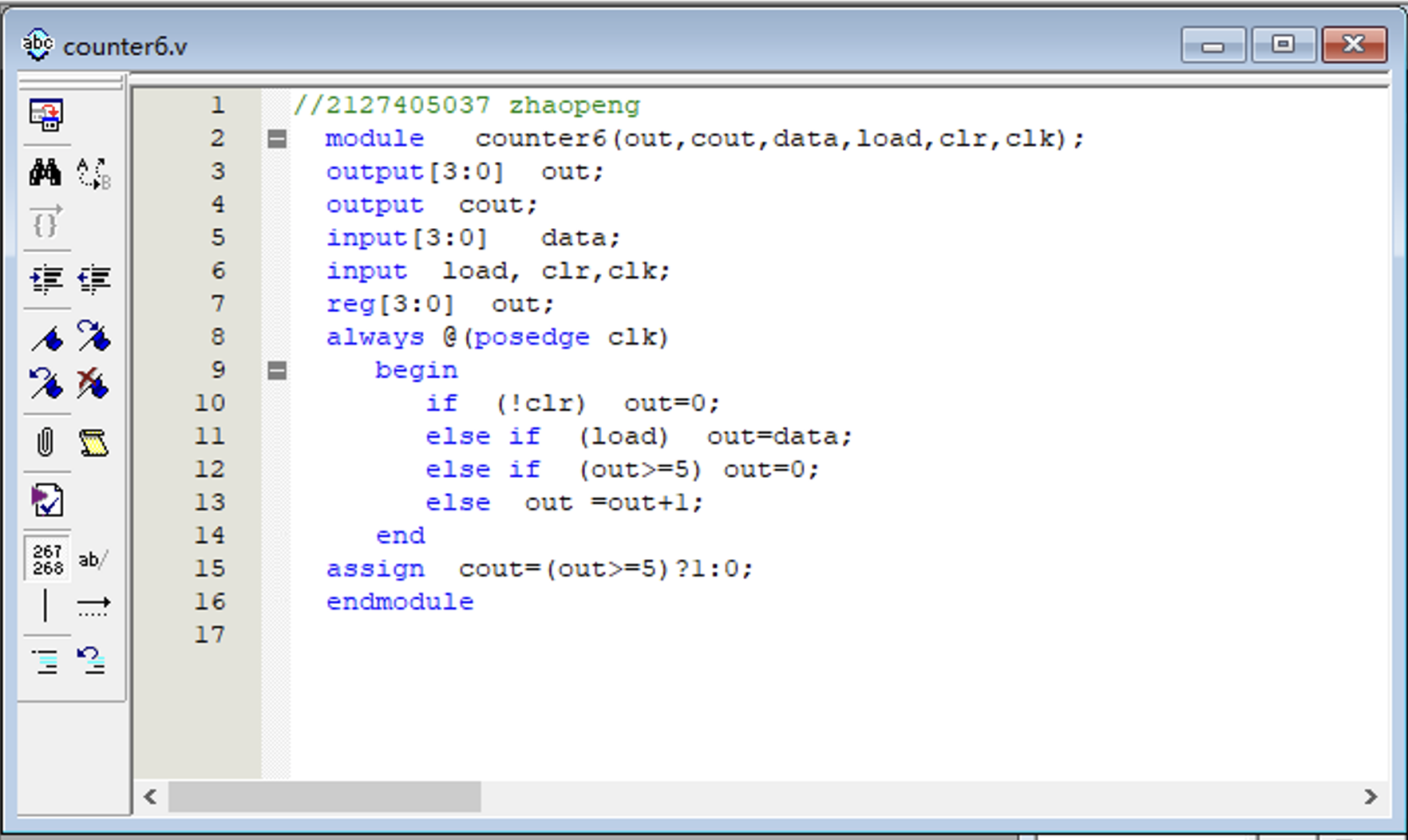
下载成功后，利用实验仪验证一个有异步清“0”，带进位功能的四位N进制计数器。

自动计数(在LED灯或LED数码管上显示)，产生进位(在LED灯显示)，按一下清零CLR键(K开关)重新计数。

按一下手动时钟CLK1键(KK1开关)计数一次，实现N进制计数器，(在LED灯或LED数码管上显示)，产生进位(在LED灯显示)，按一下清零CLR键(K开关)重新开始计数。实验验证后，保存设计文件，源程序，仿真波形文件，实验数据。

**实验结果**

verilog代码：



仿真波形图：

图形用户界面

描述已自动生成

1. 实验总结

通过本次实验，我掌握了使用Verilog HDL语言设计各种进制计数器，了解了七段共阴极数码管的同台显示原理，掌握了计数、译码、显示电路的综合应用方法。实验总体较为顺利，完成程度较好。